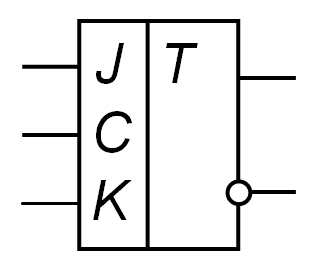
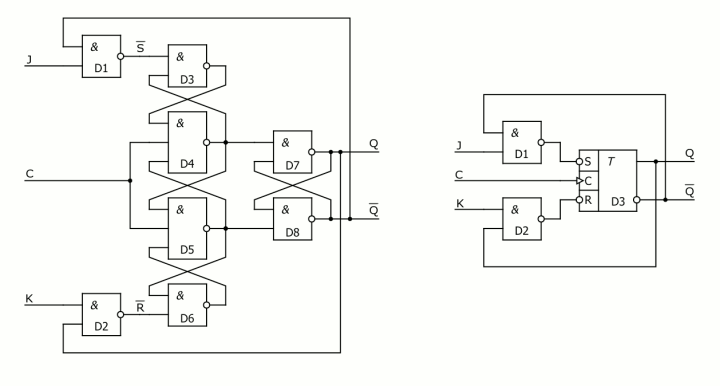
Билет 1

1. JK-триггер. Таблица состояний. Функциональная схема  
**Ответ:**

**JK-триггер** работает так же как RS-триггер, с одним лишь исключением: при подаче логической единицы на оба входа J и K состояние выхода триггера изменяется на противоположное. Вход **J** (от англ. *Jump* — прыжок) аналогичен входу **S** у RS-триггера. Вход **K** (от англ. *Kill* — убить) аналогичен входу **R** у RS-триггера. При подаче единицы на вход **J** и нуля на вход **K** выходное состояние триггера становится равным логической единице. А при подаче единицы на вход **K** и нуля на вход **J** выходное состояние триггера становится равным логическому нулю. JK-триггер в отличие от RS-триггера не имеет запрещённых состояний на основных входах, однако это никак не помогает при нарушении правил разработки логических схем. На практике применяются только синхронные JK-триггеры, то есть состояния основных входов **J** и **K** учитываются только в момент тактирования, например по положительному фронту импульса на входе синхронизации.

На базе JK-триггера возможно построить D-триггер или Т-триггер. Как можно видеть в таблице истинности JK-триггера, он переходит в инверсное состояние каждый раз при одновременной подаче на входы **J** и **K** логической 1. Это свойство позволяет создать на базе JK-триггера Т-триггер, объединив входы **J** и **К**.

|  |  |  |  |
| --- | --- | --- | --- |
| J | K | Q(t) | Q(t+1) |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

2. Регистры. Назначение. Типы

**Ответ:**

Регистр - последовательное или параллельное логическое устройство, используемое для хранения n-разрядных двоичных чисел и выполнения преобразований над ними.

Регистр представляет собой упорядоченную последовательность триггеров, обычно D, число которых соответствует числу разрядов в слове. С каждым регистром обычно связано комбинационное цифровое устройство, с помощью которого обеспечивается выполнение некоторых операций над словами.

Регистры различают по типу ввода (загрузки, приёма) и вывода (выгрузки, выдачи) информации:

1. С последовательным вводом и выводом информации
2. С параллельным вводом и выводом информации
3. С параллельным вводом и последовательным выводом. Например: SN74LS165J(N), SN74166J(N), SN74LS166J(N)
4. С последовательным вводом и параллельным выводом. Например: SN7416J(N), SN74LS164J(N), SN74LS322J(N), SN74LS673J(N)

Использование триггеров с защёлками с тремя состояниями на выходе, увеличенная (по сравнению со стандартными микросхемами серии) нагрузочная способность позволяют использовать (в микропроцессорных системах с магистральной организацией) регистры непосредственно на магистраль в качестве регистров, буферных регистров, регистров ввода-вывода, магистрального передатчика и т. д. без дополнительных схем интерфейса.

Регистры предназначены для хранения нескольких бит информации одновременно. Как правило, количество бит, хранимых в регистрах, кратно четырем. При этом общепринята следующая метрика:

4 бит – тетрада

8 бит – байт

16 бит – слово

32 бит – двойное слово

64 бит – квадро слово

 или х-разрядный регистр.

А) Регистры хранения – предназначены для хранения определенного количества бит одновременно.

Б) Сдвиговые регистры – предназначены для записи и последующего сдвига информации вправо или влево. При этом термин вправо или влево носит условный характер.

В) Универсальные регистры – предназначены для выполнения  одновременно функций сдвигового регистра и регистра хранения.

Билет 2

1. RS-триггер. Таблица состояний. Функциональная схема

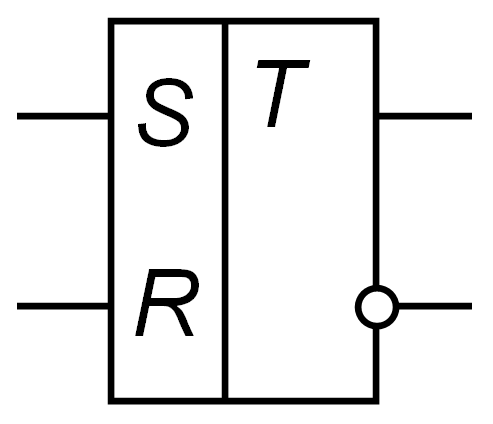
**Ответ:**

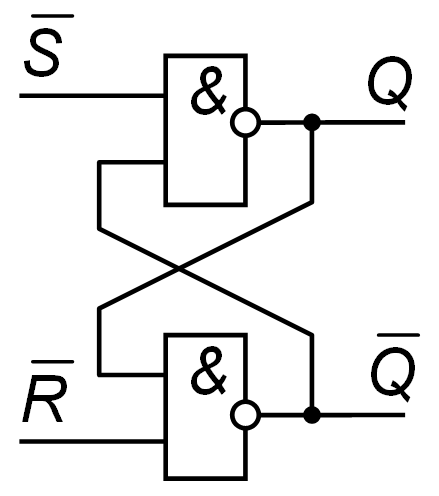
**Асинхронный RS-триггер**

**RS-триггер**, или **SR-триггер** — триггер, который сохраняет своё предыдущее состояние при нулевых входах и меняет своё выходное состояние при подаче на один из его входов единицы.

При подаче единицы на вход **S** (от англ. *Set* — установить) выходное состояние становится равным логической единице. А при подаче единицы на вход **R** (от англ. *Reset* — сбросить)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| S | R | Q(t) | Q(t) | Q(t+1) | Q(t+1) |
| 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | не определено | не определено |
| 1 | 1 | 1 | 0 | не определено | не определено |

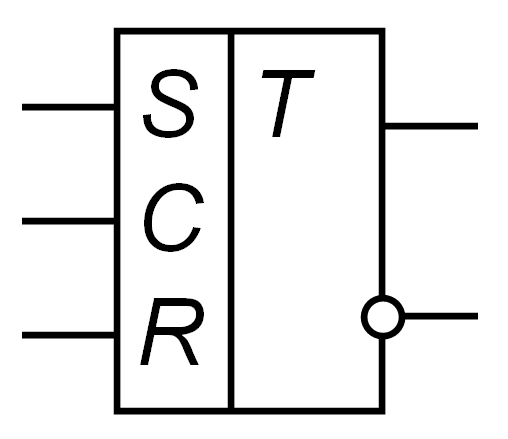
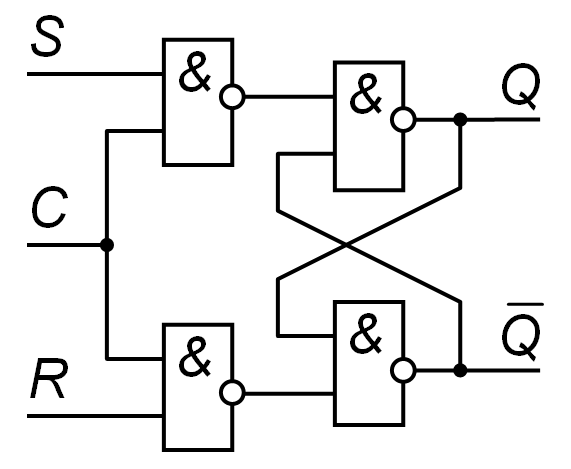




**Синхронный RS-триггер**

Схема синхронного RS-триггера совпадает со схемой одноступенчатого парафазного (двухфазного) D-триггера, но не наоборот, так как в парафазном (двухфазном) D-триггере не используются комбинации S=0, R=0 и S=1, R=1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| C | S | R | Q(t) | Q(t+1) |
| 0 | x | x | 0 | 0 |
| 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | не определено |
| 1 | 1 | 1 | 1 | не определено |

2. Параллельные регистры

**Ответ:**

В параллельных (статических) регистрах схемы разрядов не обмениваются данными между собой. Общими для разрядов обычно являются цепи тактирования, сброса/установки, разрешения выхода или приема, то есть цепи управления. Пример схемы статического регистра, построенного на триггерах типа D с прямыми динамическими входами, имеющего входы сброса и выходы с третьим состоянием, управляемые сигналом EZ.

Билет 3

1. D-Триггер. Таблица состояний. Функциональная схема

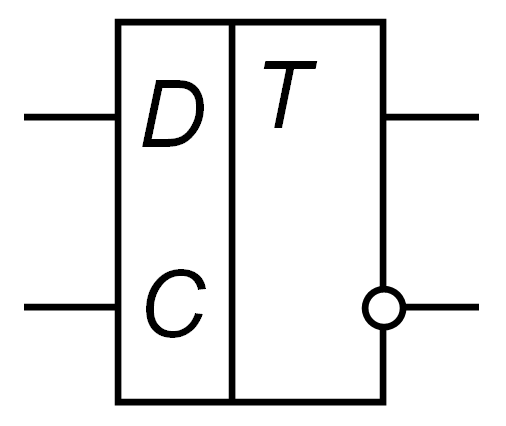
**Ответ:**

D-триггеры также называют триггерами задержки(от англ. Delay).

**D-триггер синхронный**

**D-триггер** (**D** от англ. *delay* — задержка либо от *data* - данные) — запоминает состояние входа и выдаёт его на выход. D-триггеры имеют, как минимум, два входа: информационный **D** и синхронизации **С**. После прихода активного фронта импульса синхронизации на вход С D-триггер открывается. Сохранение информации в D-триггерах происходит после спада импульса синхронизации С. Так как информация на выходе остаётся неизменной до прихода очередного импульса синхронизации, D-триггер называют также триггером с запоминанием информации или триггером-защёлкой.

|  |  |  |
| --- | --- | --- |
| D | Q(t) | Q(t+1) |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |



2. Последовательные регистры

**Ответ:**

Последовательные (сдвигающие) регистры представляют собою цепочку разрядных схем, связанных цепями переноса. Основной режим работы — сдвиг разрядов кода от одного триггера к другому на каждый импульс тактового сигнала. В однотактных регистрах со сдвигом на один разряд вправо слово сдвигается при поступлении синхросигнала. Вход и выход последовательные (англ. *Data Serial Right, DSR*).

Билет 4

1. T-Триггер. Таблица состояний. Функциональная схема

**Ответ:**

Т-триггер (от англ. Toggle - переключатель) часто называют счётным триггером, так как он является простейшим счётчиком до 2.

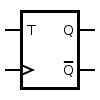
**Т-триггер асинхронный**

Асинхронный Т-триггер не имеет входа разрешения счёта - Т и переключается по каждому тактовому импульсу на входе С.

#### T-триггер синхронный

Синхронный **Т-триггер**, при единице на входе **Т**, по каждому такту на входе С изменяет своё логическое состояние на противоположное, и не изменяет выходное состояние при нуле на входе **T**. Т-триггер можно построить на JK-триггере, на двухступенчатом (Master-Slave, MS) D-триггере и на двух одноступенчатых D-триггерах и инверторе.

|  |  |  |
| --- | --- | --- |
| T | Q(t) | Q(t+1) |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |



2. Регистры сдвига

**Ответ:**

Регистры сдвига представляют собою цепочку разрядных схем, связанных цепями переноса. Основной режим работы — сдвиг разрядов кода от одного триггера к другому на каждый импульс тактового сигнала. В однотактных регистрах со сдвигом на один разряд вправо слово сдвигается при поступлении синхросигнала. Вход и выход последовательные (англ. *Data Serial Right, DSR*).

Билет 5

1. RS-Триггер. Таблица состояний. Функциональная схема

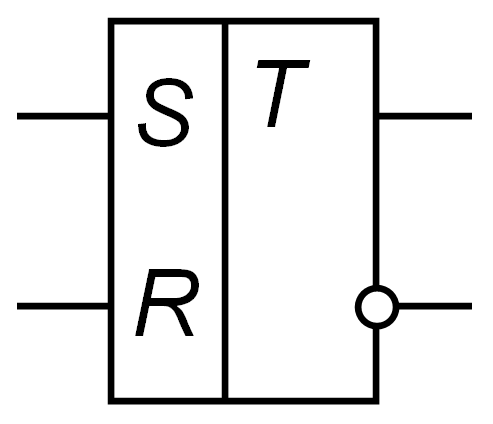
**Ответ:**

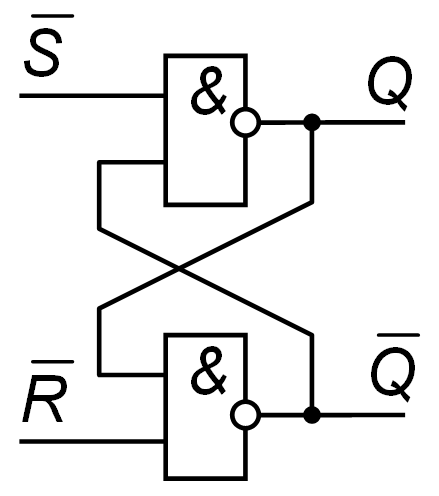
**Асинхронный RS-триггер**

**RS-триггер**, или **SR-триггер** — триггер, который сохраняет своё предыдущее состояние при нулевых входах и меняет своё выходное состояние при подаче на один из его входов единицы.

При подаче единицы на вход **S** (от англ. *Set* — установить) выходное состояние становится равным логической единице. А при подаче единицы на вход **R** (от англ. *Reset* — сбросить)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| S | R | Q(t) | Q(t) | Q(t+1) | Q(t+1) |
| 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | не определено | не определено |
| 1 | 1 | 1 | 0 | не определено | не определено |

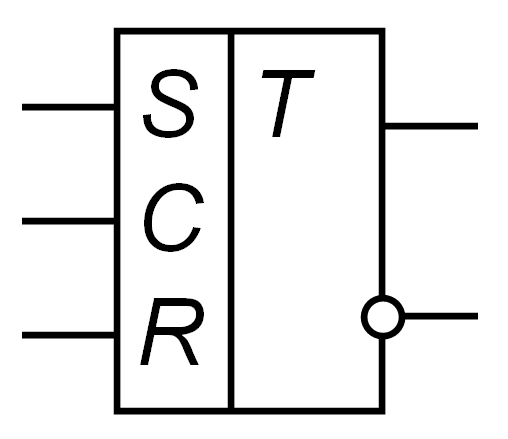
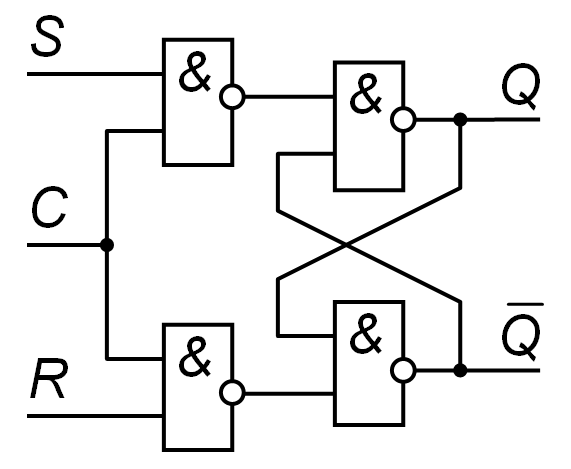




**Синхронный RS-триггер**

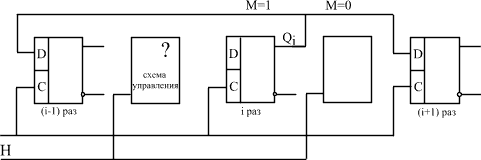
Схема синхронного RS-триггера совпадает со схемой одноступенчатого парафазного (двухфазного) D-триггера, но не наоборот, так как в парафазном (двухфазном) D-триггере не используются комбинации S=0, R=0 и S=1, R=1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| C | S | R | Q(t) | Q(t+1) |
| 0 | x | x | 0 | 0 |
| 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | не определено |
| 1 | 1 | 1 | 1 | не определено |

2. Реверсивный регистр.

**Ответ:**



Реверсивные регистры - это регистры, которые можно сдвигать как влево, так и вправо.  
  
M=0 - сдвиг вправо  
M=1 - сдвиг влево

Билет 6

1. D-триггер. Таблица состояний. Функциональная схема

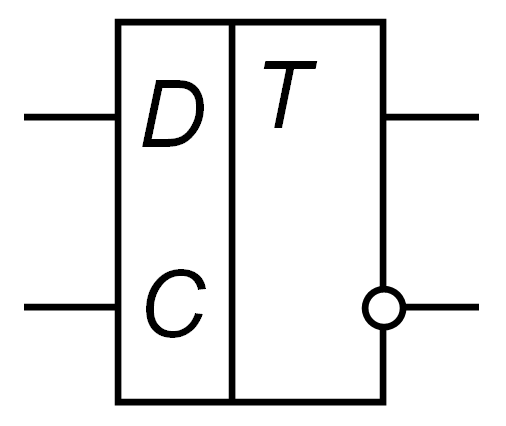
**Ответ:**

D-триггеры также называют триггерами задержки(от англ. Delay).

**D-триггер синхронный**

**D-триггер** (**D** от англ. *delay* — задержка либо от *data* - данные) — запоминает состояние входа и выдаёт его на выход. D-триггеры имеют, как минимум, два входа: информационный **D** и синхронизации **С**. После прихода активного фронта импульса синхронизации на вход С D-триггер открывается. Сохранение информации в D-триггерах происходит после спада импульса синхронизации С. Так как информация на выходе остаётся неизменной до прихода очередного импульса синхронизации, D-триггер называют также триггером с запоминанием информации или триггером-защёлкой.

|  |  |  |
| --- | --- | --- |
| D | Q(t) | Q(t+1) |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |



2. Регистры процессора

**Ответ:**

**Регистр процессора** — блок ячеек памяти, образующий сверхбыструю оперативную память (СОЗУ) внутри процессора; используется самим процессором и большой частью недоступен программисту;

По назначению регистры процессора различаются на:

* аккумулятор — используется для хранения промежуточных результатов арифметических и логических операций и инструкций ввода-вывода;
* флаговые — хранят признаки результатов арифметических и логических операций;
* общего назначения — хранят операнды арифметических и логических выражений, индексы и адреса;
* индексные — хранят индексы исходных и целевых элементов массива;
* указательные — хранят указатели на специальные области памяти (указатель текущей операции, указатель базы, указатель стэка);
* сегментные — хранят адреса и селекторы сегментов памяти;
* управляющие — хранят информацию, управляющую состоянием процессора, а также адреса системных таблиц.

Билет 7

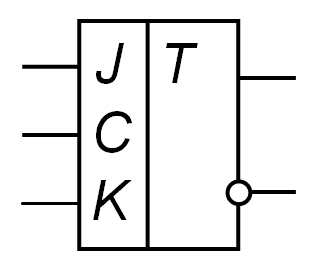
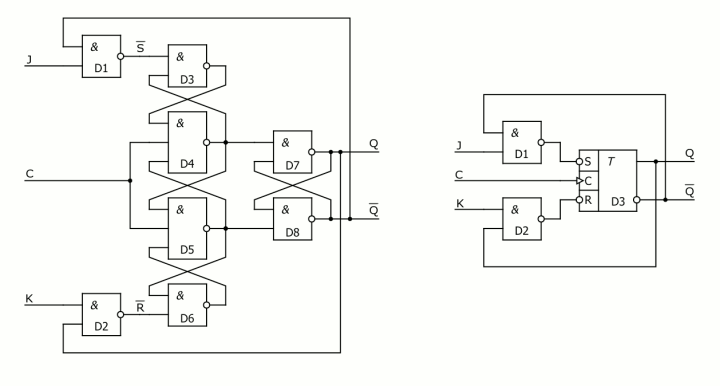
1. JK-триггер. Таблица состояний. Функциональная схема

**Ответ:**

**JK-триггер** работает так же как RS-триггер, с одним лишь исключением: при подаче логической единицы на оба входа J и K состояние выхода триггера изменяется на противоположное. Вход **J** (от англ. *Jump* — прыжок) аналогичен входу **S** у RS-триггера. Вход **K** (от англ. *Kill* — убить) аналогичен входу **R** у RS-триггера. При подаче единицы на вход **J** и нуля на вход **K** выходное состояние триггера становится равным логической единице. А при подаче единицы на вход **K** и нуля на вход **J** выходное состояние триггера становится равным логическому нулю. JK-триггер в отличие от RS-триггера не имеет запрещённых состояний на основных входах, однако это никак не помогает при нарушении правил разработки логических схем. На практике применяются только синхронные JK-триггеры, то есть состояния основных входов **J** и **K** учитываются только в момент тактирования, например по положительному фронту импульса на входе синхронизации.

На базе JK-триггера возможно построить D-триггер или Т-триггер. Как можно видеть в таблице истинности JK-триггера, он переходит в инверсное состояние каждый раз при одновременной подаче на входы **J** и **K** логической 1. Это свойство позволяет создать на базе JK-триггера Т-триггер, объединив входы **J** и **К**.

|  |  |  |  |
| --- | --- | --- | --- |
| J | K | Q(t) | Q(t+1) |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

2. Мультиплексор. Принцип построения

**Ответ:**

**Mультиплексор** — устройство, имеющее несколько сигнальных входов, один или более управляющих входов и один выход. Мультиплексор позволяет передавать сигнал с *одного* из входов на выход; при этом выбор желаемого входа осуществляется подачей соответствующей комбинации управляющих сигналов.

Каждому из информационных входов мультиплексора присваивается номер, называемый адресом. Для наращивания числа коммутирующих входов используют иерархическое соединение нескольких мультиплексоров. При этом прямые выходы мультиплексоров первой ступени подключают к информационным входам мультиплексора второй ступени, выход которого является выходом расширенного мультиплексора. Младшие разряды адресного кода подают параллельно на управляющие входы всех мультиплексоров первой ступени. Старшие разряды адресного кода вводят на управляющие входы мультиплексора второй ступени.

Билет 8

1. RS-триггер. Таблица состояний. Функциональная схема

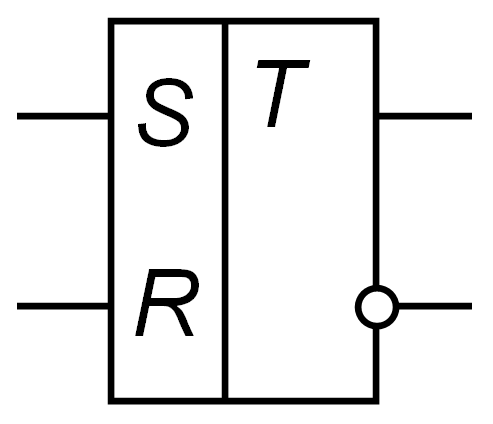
**Ответ:**

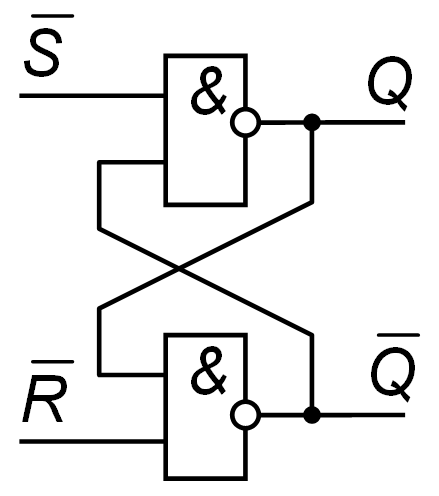
**Асинхронный RS-триггер**

**RS-триггер**, или **SR-триггер** — триггер, который сохраняет своё предыдущее состояние при нулевых входах и меняет своё выходное состояние при подаче на один из его входов единицы.

При подаче единицы на вход **S** (от англ. *Set* — установить) выходное состояние становится равным логической единице. А при подаче единицы на вход **R** (от англ. *Reset* — сбросить)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| S | R | Q(t) | Q(t) | Q(t+1) | Q(t+1) |
| 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | не определено | не определено |
| 1 | 1 | 1 | 0 | не определено | не определено |

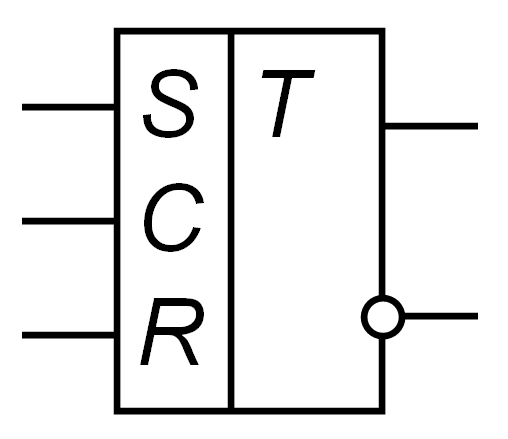
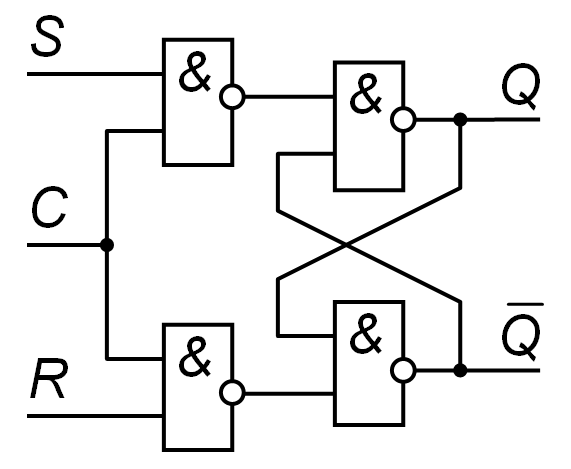




**Синхронный RS-триггер**

Схема синхронного RS-триггера совпадает со схемой одноступенчатого парафазного (двухфазного) D-триггера, но не наоборот, так как в парафазном (двухфазном) D-триггере не используются комбинации S=0, R=0 и S=1, R=1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| C | S | R | Q(t) | Q(t+1) |
| 0 | x | x | 0 | 0 |
| 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | не определено |
| 1 | 1 | 1 | 1 | не определено |

2. Демультиплексор. Принцип построения

**Ответ:**

**Демультиплексор** — это логическое устройство, предназначенное для переключения сигнала с одного информационного входа на один из информационных выходов. Таким образом, демультиплексор в функциональном отношении противоположен мультиплексору.

В случае ТТЛ логики для коммутации каналов применяются логические элементы "И". В КМОП микросхемах широко применяются ключи на полевых транзисторах. Поэтому в них отсутствует понятие демультиплексора. Информационные входы и выход можно поменять местами, в результате чего мультиплексор может служить в качестве демультиплексора.

Билет 9

1. D-триггер. Таблица состояний. Функциональная схема

**Ответ:**

2. ЦАП c цепочкой взвешенных резисторов

**Ответ:**

Билет 10

1. ЦАП тип R=2R

**Ответ:**

2. Шифратор. Принцип построения

**Ответ:**

Билет 11

1. Динамические параметры ЦАП

**Ответ:**

2. Счётчик. Классификация счётчиков

**Ответ:**

Билет 12

1. Статистические параметры ЦАП

**Ответ:**

2. Асинхронный двоичный счётчик

**Ответ:**

Билет 13

1. Общая характеристика и назначение АЦП

**Ответ:**

2. Двоичный вычитающий асинхронный счётчик

**Ответ:**

Билет 14

1. Общая характеристика и назначение ЦАП

**Ответ:**

2. Сумматор. Таблица истинности. Схема

**Ответ:**

Билет 15

1. Статические параметры АЦП

**Ответ:**

2. Комбинационные схемы

**Ответ:**

Билет 16

1. Динамические параметры АЦП

**Ответ:**

2. Характеристики комбинационных схема

**Ответ:**

Билет 17

1. Последовательно-паралельные АЦП

**Ответ:**

2. Анализ и синтез комбинационных схем

**Ответ:**

Билет 18

1. АЦП последовательного счёта

**Ответ:**

2. Типовые комбинационные схемы. Перечислить. Дать

определение каждой.

**Ответ:**

Билет 19

1. Транзисторно-транзисторная логика

**Ответ:**

2. Параметры логических элементов

**Ответ:**

Билет 20

1. Комплементарная логика

**Ответ:**

2. Регистры сдвига

**Ответ:**

Билет 21

1. Эмиттерно-связанная логика

**Ответ:**

2. Статические параметры АЦП

**Ответ:**

Билет 22

1. JK-триггер. Таблица состояний. Функциональная схема

**Ответ:**

2. Общая характеристика и назначение АЦП

**Ответ:**

Билет 23

1. Двоичный вычитающий асинхронный счётчик

**Ответ:**

2. Демультиплексор. Принцип построения.

**Ответ:**

Билет 24

1. D-Триггер. Таблица состояний. Функциональная схема

**Ответ:**

2. ЦАП тип R=2R

**Ответ:**